

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-178152

⑫ Int. Cl.³

H 01 L 23/28
21/56

識別記号

Z
R

庁内整理番号

6412-5F
6412-5F

⑬ 公開 平成3年(1991)8月2日

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 モールドICおよびその製造方法

⑮ 特 願 平1-317030

⑯ 出 願 平1(1989)12月6日

⑰ 発 明 者 樋 口 重 孝 東京都中央区日本橋室町1丁目6番3号 ソニーケミカル株式会社内

⑱ 出 願 人 ソニーケミカル株式会社 東京都中央区日本橋室町1丁目6番3号

⑲ 代 理 人 弁理士 小 池 晃 外2名

明 細 書

1. 発明の名称

モールドICおよびその製造方法

2. 特許請求の範囲

(1) 所定のパターンに形成された導電材料層と、前記導電材料層の一部を露出させる開口部を有する絶縁樹脂層と、前記絶縁樹脂層上に実装されその電極部が前記開口部を通じて前記導電材料層と電気的に接続されてなるICペアチップから構成される積層体がモールド樹脂層により固着一体化されてなることを特徴とするモールドIC。

(2) 導電性基体上に導電材料層のパターンを反転させたパターンを有するメッキレジスト層を形成

開口部を有する絶縁樹脂層を形成する工程と、

前記ICペアチップを前記絶縁樹脂層上に実装し、前記開口部を通じて該ICペアチップの電極部と前記導電材料層の電気的接続部位とを接続する工程と、

前記導電性基体の少なくともICペアチップ実装面をモールド樹脂層により固着する工程と、

少なくとも前記導電性基体を剥離する工程を有することを特徴とするモールドICの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、IC(集積回路)ペアチップ、絶縁層、配線層等からなる積層体がモールド樹脂により固着一体化されてなる積層回路状のモールドIC

を形成する工程と、前記導電性基体の露出部に導電材料層を選択的に形成する工程と、

前記導電材料層のうちICペアチップの電極部が接続される電気的接続部位に臨んで開口される

(発明の概要)

本発明は、ICペアチップとそれ配線を行うために所定のパターンに形成された導電材料層とを

絶縁樹脂層およびモールド樹脂層により所定の位置関係に保持し、かつ固着一体化させることにより、支持基板を持たず軽量かつ薄型で、各種電子回路に接続容易なモールドICを提供しようとするものである。

本発明はさらに、上記モールドICの製造を、選択露光、電解めっき、印刷等の技術を組み合わせ、高い信頼性、経済性、生産性をもって実現するものである。

(従来の技術)

近年、各種電子機器の軽量化、小型化、薄型化、高機能化等に伴い、IC実装技術の分野においてもこれらを実現するための各種の技術が提案されている。フラットパッケージ等はその代表例である。さらに、高機能化、高集積化を目指してICが多端子化され、かつ一層の軽薄短型化、低コスト化が図られるに伴い、これらの要請に対応し得る技術として、テープ自動ボンディング(TAB)法、チップ・オン・ガラス(COG)法、チ

ップ・オン・フレキシブル・プリント・サーキット(COF)法、フュース・ボンディング法等の技術も提案されている。TAB法は、ポリイミド等からなるテープの裏面に予めエッチングにより形成された銅の配線パターンに、ICペアチップ上のパンプを熱圧着もしくは共晶法により接続する方法である。COG法は、ガラス基板において液晶マトリクス等から導出された透明電極にICペアチップの端子を接続する方法である。COF法はポリエステル、ポリイミド等の高分子材料からなるフィルム上に形成された配線パターンにICペアチップを接続する方法である。フュース・ボンディング法は半導体チップをシステムに組み立てる際や厚膜ICに組み込む際の接続を、線によらず面で行う方法であり、フリップチップにおいて実用化されている。

(発明が解決しようとする課題)

しかしながら、上述の各方法ではコストの上昇や使用目的の制約を生ずる他、精度や信頼性にお

いても今ひとつ満足な結果が得られていない。

そこで本発明は、これらの問題点を解決し、極めて軽薄短型化され、信頼性が高く、低コストで使い易いモールドIC、およびその製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は上述の目的を達成するために提案されるものである。

すなわち、本発明の第1の発明にかかるモールドICは、所定のパターンに形成された導電材料層と、前記導電材料層の一部を露出させる開口部を有する絶縁樹脂層と、前記絶縁樹脂層上に実装されその電極部が前記開口部を通じて前記導電材料層と電気的に接続されてなるICペアチップから構成される導電性基体とを有するものである。

さらに、本発明の第2の発明にかかるモールドICの製造方法は、導電性基体上に導電材料層のパターンを反転させたパターンを有するメッキレ

ジスト層を形成する工程と、電解メッキにより前記導電性基体の露出部に導電材料層を選択的に形成する工程と、前記導電材料層のうちICペアチップの電極部が接続される電気的接続部位に臨んで開口される開口部を有する絶縁樹脂層を形成する工程と、前記ICペアチップを前記絶縁樹脂層上に実装し、前記開口部を通じて該ICペアチップの電極部と前記導電材料層の電気的接続部位とを接続する工程と、前記導電性基体の少なくともICペアチップ実装面をモールド樹脂により固着する工程と、少なくとも前記導電性基体を剥離する工程を有することを特徴とするものである。

(作用)

本発明にかかるモールドICは、ICペアチップの電極部が前記開口部を通じて前記導電材料層の電気的接続部位と接続されることにより、前記導電性基体上に所定の位置関係に保持され、かつ固着一体化されてなるものである。上記モールドICは、何ら支持基板を有さず導電材料層がICペ

アチップの実装面とは反対側の面に露出されているため、この形のままでは極めて容易に他の電子回路に実装することができる。しかも、その全厚はほぼICベアチップ自身の厚さにより決まるものである。このように、本発明のモールドICは極めて薄型かつ軽量であるが、その機械強度は上記絶縁樹脂層およびモールド樹脂層により十分に保障されているので、信頼性の面でも問題はない。

上述のようなモールドICは、製造工程においては支持基板上に形成され、最終的に該支持基板から剥離するという、巧妙な方法により製造されるものである。したがって、モールドICは剥離の直前まで常に支持基板上に保持されて全体として極めて高い強度を付与されるため、各製造工程における加工や処理の高い精度および信頼性が保証される。また、上記支持基板として導電性基体を使用することにより、電解メッキによる導電材料層の形成が可能となる。上記モールドICの製造工程は、レジストの選択露光工程、導電材料層を形成するための電解めっき工程、絶縁樹脂層を

形成するための印刷工程、ICベアチップを実装するためのボンディング工程、モールド樹脂の塗布工程等の必要最小限の工程からなり、従来の製造設備に何ら特種な設備を追加することなく容易に実施でき、信頼性の高いモールドICを歩留り良く製造することができる。

(実施例)

以下、本発明の好適な実施例について、図面を参照しながら説明する。

実施例1

本実施例は、ICベアチップと導電材料層との電気的接続を導電接続層を介して図ったモールドICおよびその製造方法の例である。

まず、第1図に本実施例にかかるモールドICの概略断面図を示す。このモールドICは、所定のパターンに形成された導電材料層(1)の上に、後述のICベアチップ(3)と上記導電材料層(1)との間の電気的絶縁を図り、かつ該ICベアチップ

3)を所定の位置関係を保って固定するための絶縁樹脂層(2)が積層され、さらに上記絶縁樹脂層(2)の上にICベアチップ(3)が設置され、少なくとも上記ICベアチップ(3)の実装面がモールド樹脂層(4)により図層一体化されてなるものである。上記絶縁樹脂層(2)には開口部(2a)が設けられており、この開口部(2a)を通じて導電接続層(5)により上記導電材料層(1)とICベアチップ(3)の電気的接続が図られている。

ここで、上記導電材料層(1)とICベアチップ(3)の接続状態をよりわかり易く説明するために、第2図に該ICベアチップ(3)の実装部近傍の模式的な上面図を示す。ただし、図面を簡単にするために、最上部のモールド樹脂層(4)は図示しない。上記導電材料層(1)は、ICベアチップ(3)の配線層として機能する。所定のパターンに形成された金属導線であり、図1の導電材料層(1)の配線層の末端部は電気的接続部位(1a)とされている。この図に示す例では、1個のICベアチップ(3)に対して6個の電気的接続部位(1a)が、該

ICベアチップ(3)の6個の電極部(3a)の配設パターンに対応して設けられている。上記絶縁樹脂層(2)には、上記電気的接続部位(1a)の全てを露出させる開口部(2a)が設けられている。したがって、絶縁樹脂層(2)を形成した段階で、開口部(2a)内に露出する電気的接続部位(1a)に適当な方法により導電接続層(5)〔図中、斜線部で示す。〕を形成し、さらに上記開口部(2a)に臨んでICベアチップ(3)を実装すれば、該ICベアチップ(3)は外周部を絶縁樹脂層(2)により支持されると共に、導電材料層(1)と電気的および機械的に接続される。

かかるモールドICは、何ら支持基板を有するものではなく、導電材料層(1)がICベアチップ(3)の実装面とは反対側の面に露出されているため、他の電子回路と容易に接続される。また、導電材料層(1)や絶縁樹脂層(2)はいずれも極めて薄い層であるため、モールドICの全厚はほぼICベアチップ(3)の厚さにより決まると言って良い。し

かし、上記モールドICはこのように極めて薄型でありながら、その機械強度は上記絶縁樹脂層およびモールド樹脂層(4)により十分に保障されている。

上述のようなモールドICは、たとえば第3図(A)ないし第3図(F)に示す製造工程により製造することができる。

まず、第3図(A)に示すように、導電性基体(6)上に、最終的に形成される導電材料層(1)のパターンを反転させたパターンを有するメッキレジスト層(7)を形成する。

ここで、上記導電性基体(6)としては、次の工程にてこの上に形成される導電材料層(1)が容易に剥離できるような平滑面を有することが必要であり、その材料もステンレス鋼、ニッケル、チタン、ニッケル系合金、チタン系合金、ニッケルコバルト合金、その他の合金等から適宜選択することができる。ここでは、厚さ50 μ mのSUS304ステンレス鋼板を使用した。

また、上記メッキレジスト層(7)は、絶縁性、

性基体(6)に対する剥離性の高い材料を使用する必要がある。好適な金属としては金、銀、銅、クロム、ニッケル、鉄、コバルト、あるいはこれらの合金等が挙げられるが、ここでは、次のような条件により銅を析出させた。すなわち、電解液1 ℓ 当たり硫酸銅250g、硫酸75gを含む硫酸銅浴を使用し、液温25℃、電流密度8A/dm²、メッキ時間30分の条件で電解メッキを行った。

なおここで、必要に応じて電解メッキの前後で防錆処理を行うこともできる。また、後の工程で実装されるICペアチップ(3)との接続を図るための導電接続層(4)としてパンプが形成される場合には、この段階で上記導電材料層(1)の電気的接続部位(1a)に金、半田、導電性ペースト等からなるパンプを形成しても良い。本実施例では、金

パンプ

次に、第3図(C)に示すように、上記導電材料層(1)とICペアチップ(3)の間において電気的接続部位(1a)以外の部位における電気的絶縁を図り、かつICペアチップ(3)を所定の位置に固

定保持するための絶縁樹脂層(2)を形成する。本実施例における上記絶縁樹脂層(2)は、ICペアチップ(3)の電極部(第2図の(3a)参照。)の配設パターンに応じて開口される開口部(2a)を有しており、この内部において導電材料層(1)とICペアチップ(3)との間の電気的接続が図られる。この絶縁樹脂層(2)の材料としては、電気絶縁性以外に、優れた耐熱性および耐半田性を有していることが必要である。本実施例では、レジストインキ(タムラ化学社製、商品名SR-29C)を使用し、これをシルクスクリーン印刷により15 μ mの厚さに塗布することにより、上記絶縁樹脂層(2)を形成した。

次に、第3図(B)に示すように、金属メッキ浴に浸漬して電解メッキを行い、導電性基体(6)の表面のうちメッキレジスト層(7)によりマスクされずに露出している部分に選択的に金属を析出させ、導電材料層(1)を形成する。上記金属としては、高い導電性を有し、かつ最終的に上記導電性基体(6)から剥離されることを考慮して該導電

性基体(6)に対する剥離性の高い材料を使用する必要がある。好適な金属としては金、銀、銅、クロム、ニッケル、鉄、コバルト、あるいはこれらの合金等が挙げられるが、ここでは、次のような条件により銅を析出させた。すなわち、電解液1 ℓ 当たり硫酸銅250g、硫酸75gを含む硫酸銅浴を使用し、液温25℃、電流密度8A/dm²、メッキ時間30分の条件で電解メッキを行った。

次に第3図(D)に示すように、ICペアチップ(3)をその電極部(第2図の(3a)参照。)が予

め電極部

電極部

め電気的接続部位(1a)に合致するように角い熱押装置を使用して置き、フェースボンダーにより接続した。これにより、ICペアチップ(3)は上記開口部(2a)を通じて電気的に導電材料層(1)と

接続されると共に、機械的にも固定される。

なお、上述のようなバンプによる接続以外にも、使用するICベアチップ(3)のタイプによっては異方性導電膜や導電性接着剤等による接続が可能である。

次に、第3図(E)に示すように、該ICベアチップ(3)の実装面をモールド樹脂層(4)により固着する。ここでは、上記モールド樹脂層(4)を形成するためのモールド樹脂としてポリエステル系樹脂(ユニチカ社製、商品名XA 5569)を使用した。すなわち、上記ポリエステル系樹脂100重量部につき硬化剤(日本ポリウレタン社製、商品名コロネートEH)6重量部とメチルエチルケトン200重量部を混合してなる塗料をICベアチップ(3)がほぼ覆われる程度に塗布し、アブタキュアにより完全に硬化させた。これにより、導電材料層(1)、絶縁樹脂層(4)、ICベアチップ(3)、および導電接続層(5)からなる積層体が固着一体化され、該導電材料層(1)とICベアチップ(3)との間の確実な電気的、機械的接続が保証される。

断面図を示す。このモールドICは、所定のパターンに形成された導電材料層(11)の上に、後述のICベアチップ(13)と上記導電材料層(11)との間の電気的絶縁を図り、かつ該ICベアチップ(13)を所定の位置関係を保って固定するための絶縁樹脂層(12)が積層され、さらに上記絶縁樹脂層(12)の上にICベアチップ(13)が載置され、少なくとも上記ICベアチップ(13)の実装面がモールド樹脂層(14)により固着一体化されてなるものである。上記絶縁樹脂層(12)には開口部(12a)が設けられており、この開口部(12a)を通じてワイヤ(15)により上記導電材料層(11)とICベアチップ(13)の電気的接続が図られている。

かかるモールドICの製造方法は、前述の導電接続層(5)を形成する代わりに金線等のワイヤ

を用いて、図15に示すように、ワイヤをワイヤボンディングにより導電材料層とICベアチップとを接続する。

(発明の効果)

最後に、第3図(F)に示すように、モールド樹脂層(4)により固着一体化された上述の積層体から導電性基体(6)とメッキレジスト層(7)を剝離し、前述の第1図に示したようなモールドICを得た。ここで、メッキレジスト層(7)が導電性基体(6)に対して高い剝離性を有し、剝離時に該メッキレジスト層(7)が積層体側に残存する場合には、適当な方法によりこれを除去する。このようにして得られたモールドICは、何ら支持基板を有しないため、全厚がほぼICベアチップ(3)の厚さと同等に薄くなされており、かつ軽量である。しかし、その機械強度は上記絶縁樹脂層(2)およびモールド樹脂層(4)により十分に高いものである。

実施例2

本実施例は、ICベアチップと導電材料層の間の電気的接続をワイヤボンディングにより図ったモールドICの例である。

第4図に本実施例にかかるモールドICの概略

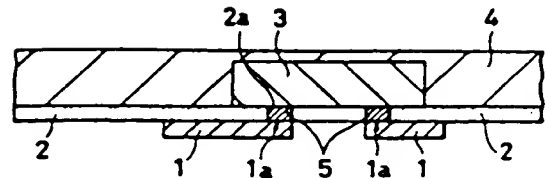
以上の説明からも明らかなように、本発明にかかるモールドICは、極めて軽量薄型であり、各種の小型化された電子機器に使用される電子回路に容易に実装可能なものである。また、本発明にかかる製造方法では、支持基板上において上記モールドICの各構成要素を形成するための加工、処理が施されるため、極めて精度、信頼性の高いモールドICを容易に、しかも高い経済性、生産性をもって製造することができる。

4. 図面の簡単な説明

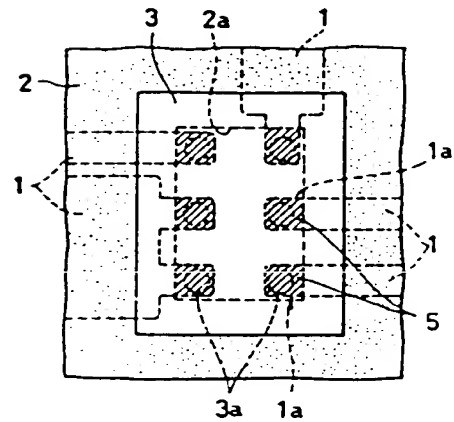
第1図は本発明にかかるモールドICの一構成例を模式的に示す概略断面図であり、第2図は上記モールドICのICベアチップの実装部近傍を示す上面図である。第3図(A)ないし第3図(D)は、導電性基体上にメッキレジスト層を形成する工程を示す概略断面図であり、第3図(A)は導電性基体上にメッキレジスト層の形成工程、第3図(B)は電解メッキによる導電材料層の形成工程、第3図

(C)は絶縁樹脂層の形成工程、第3図(D)はICペアチップの実装工程、第3図(E)はモールド樹脂層の形成工程、第3図(F)は導電性基体およびメッキレジスト層の剥離工程をそれぞれ示す。第4図は本発明にかかるモールドICの他の構成例を模式的に示す概略断面図である。

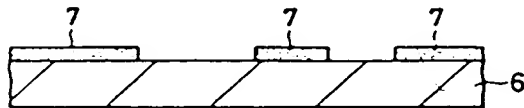
- 1, 11 ... 導電材料層
- 1a ... 電気的接続部位
- 2, 12 ... 絶縁樹脂層
- 2a, 12a ... 開口部
- 3, 13 ... ICペアチップ
- 3a ... 電極部
- 4, 14 ... モールド樹脂層
- 5 ... 導電接続層
- 15 ... ワイヤ
- 6 ... 導電性基体
- 7 ... メッキレジスト層



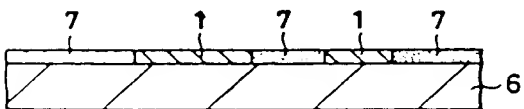
第1図



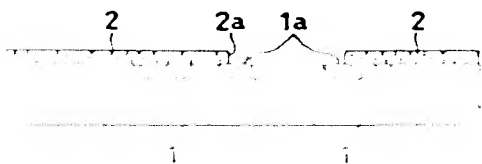
第2図



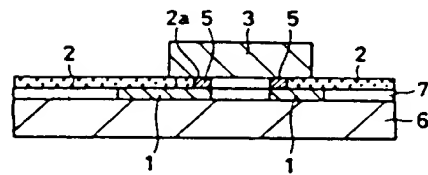
第3図(A)



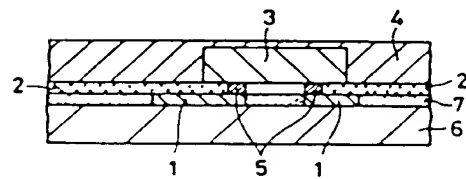
第3図(B)



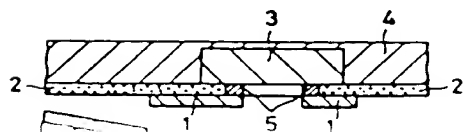
第3図(C)



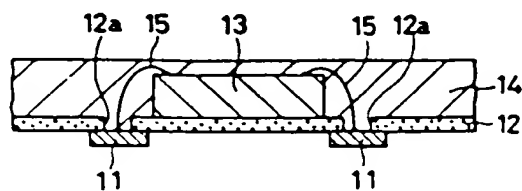
第3図(D)



第3図(E)



第3図(F)



第 4 図

SPECIFICATION

1. TITLE OF THE INVENTION

Mold IC and Method of Manufacturing the Same

2. CLAIMS

(1) A mold IC characterized in that a laminated structure forming of a conductive material layer formed in the predetermined pattern, an insulating resin layer having an aperture exposing a part of said conductive material layer and IC pair chips mounted on said insulating resin layer with the electrodes thereof electrically connected with said conductive material layer through said aperture is deposited integrally with a mold resin layer.

(2) A method of manufacturing a mold IC comprising the steps of:

forming a plated resist layer having the pattern obtained by inverting a pattern of a conductive material layer on a conductive base material;

forming selectively a conductive material layer at the exposed area of said conductive base material by an electrolytic plating;

electrodes of the IC pair chips among said conductive material layer are connected;

mounting said IC pair chips on said insulating resin layer and connecting the electrodes of said IC pair chips and the electrical connecting area of said conductive material layer through said aperture;

depositing at least IC pair chips mounting surface of said conductive base material with a mold resin; and

separating at least said conductive base material.

3. DETAILED DESCRIPTION OF THE INVENTION

[Industrial Field of Utilization]

The present invention relates to a light weight annular mold IC where a laminated structure consisting of IC (Integrated Circuit) pair chips, insulating layer and wiring layer, etc. is deposited integrally with mold resin and a method of the manufacturing the same.

[Summary of the Invention]

The present invention provides a light weight an thinner mold IC having no supporting substrate and being connected easily to various electronic circuits by holding the IC pair chips and conductive material layer formed in the predetermined pattern.

and then integrally depositing such elements.

Moreover, the present invention realizes manufacture of such mold IC with high reliability, economizaion and productivity by combiding the technologies of selective exposure, electrolytic plating and printing, etc.

[Description of Related Art]

With advanced improvement in light weight, reduction in size and thickness and wiring density of various electronic apparatuses in these years, various technologies have also been proposed in the field of the IC mounting technology to realize such improvement. A flat package is a typical example of it.

Moreover, with realization of multiple terminals of IC for high wiring density and high integration density and further reduction in weight and thickness and low cost, the tape automatic bonding (TAB) method, chip on glass (COG) method, chip on flexible print circuit (COF) method and face bonding method, etc. have also been proposed as the technology for such requirement. In the TAB method, a bump on the IC pair chip is connected, by the thermal deposition method or eutectic method, to a copper wiring pattern formed previously by the etching on the polyimide tape surface. In the COG method, a terminal of IC pair chip is connected to a transparent electrode led out from a glass substrate. In the COF

formed on a film made of polymer material such as polyimide or the like. In the face bonding method, a technology used for assembling a semiconductor chip into a stem or into a thick film IC is introduced for the surface processing in place of the line processing and this method has been put into practical use in a flip chip.

[Prblems to be Solved by the Invention]

However, each method explained above results in rise of cost and restriction in the application purpose and moreover provides insufficient result in accuracy and reliability.

It is therefore an object of the present invention to provide a highly reliable, low cost and easily applicable mold IC which has solved these problems and realized light weight and reduction in thickness.

[Means for Solving the Problem]

The present invention has been proposed to achieve the objects explained above.

That is, a mold IC of the first invention of the present invention is characterized in that a laminated structure composed of a conductive material layer formed in the predetermined pattern, an insulating resin layer having an aperture for partly exposing the conductive material layer and an IC pair chip which is mounted on the insulating resin layer

material layer through the aperture is integrally deposited by the mold resin layer.

Moreover, a method of manufacturing a mold IC of the second invention of the present invention is characterized in comprising the steps of forming a plated resist layer having the pattern obtained by inverting the pattern of the conductive material layer on the conductive base material, forming selectively a conductive material layer to an exposed area of the conductive base material with the electrolytic plating, forming an insulating resin layer having an aperture opened in the area of the electrical connecting part connected to an electrode of the IC pair chip among the conductive material layer, mounting the IC pair chip on the insulating resin layer to connect the electrode of the IC pair chip with the electrical connecting part of the conductive material layer through the aperture, depositing at least the IC chip mounting surface of the conductive base material with the mold resin and separating at least the conductive base material.

[Operation]

The mold IC of the present invention has a structure that the IC pair chip and a conductive material layer formed in the predetermined pattern for the wiring thereof are held in the predetermined positional relationship by the insulating resin

Since the mold IC does not have any supporting substrate and leads the conductive material layer to the surface in the opposite side of the mounting surface of the IC pair chip, it can be mounted very easily in direct on the other electronic circuit. Moreover, metal thickness is determined almost by the thickness of the IC pair chip itself. As explained above, the mold IC of the present invention is very thin and light weight, but since its mechanical strength sufficiently guaranteed by the insulating resin layer and mold resin layer, there is no problem in the reliability.

The mold IC explained above is manufactured by such a excellent method that it is first formed on a supporting substrate in the manufacturing process and is finally separated from the supporting substrate. Therefore, since the mold IC is always held on the supporting substrate immediately before it is separated and is given extremely higher strength, machining in each manufacturing process, higher accuracy and reliability are guaranteed. Moreover, use of the conductive substrate as the supporting substrate enables formation of a conductive material layer with the electrolytic plating. The manufacturing process of the mold IC comprises minimum number of processes required including the selective exposing process of upper photoresist, electrolytic plating, etc. to form the conductive

layer, bonding process to mount IC pair chip and mold resin coating process. This manufacturing process can easily be realized without adding any special facilities to that of the related art to manufacture the highly reliable mold IC with good manufacturing yield.

[Embodiment of the Invention]

A preferred embodiment of the present invention will be explained with reference to the accompanying figures.

Embodiment 1:

This embodiment shows examples of the mold IC which realizes, through the conductive connecting layer, the electrical connection between the IC pair chip and conductive material layer and manufacturing method.

First, Fig. 1 shows a schematic cross-sectional view of an mold IC concerning this embodiment. In this mold IC, an insulating resin layer (2) is laminated on the conductive material layer (1) formed in the predetermined pattern to assure electrical insulation between the IC pair chip (3) described later and the above conductive material layer (1) and also to fix the IC pair chip (3) keeping the predetermined positional relationship, and moreover the IC pair chip (3) is mounted on the insulating resin layer (2) and at least the

layer (2) is provided with an aperture (2a) and the conductive material layer (1) and the IC pair chip (3) can be electrically connected by such conductive connecting layer (5) through the aperture (2a).

Here, in order to easily explain the connecting condition between the conductive material layer (1) and IC pair chip (3), Fig. 2 shows a schematic plan view of the region near the IC pair chip (3). However, the mold resin layer (4) at the uppermost part is not illustrated to simplify the drawing.

The conductive material layer (1) is a metal thin film formed in the predetermined pattern to work as a wiring layer of the IC chip (3) and the end part of the wiring layer constituting the pattern is defined as the electrically connecting region (1a). In the example shown in this figure, six electrical connecting regions (1a) are provided for one IC pair chip (3) corresponding to the arranged pattern of the six electrodes (3a). On the insulating resin layer (2), an aperture (2a) is provided to expose all electrical connecting regions (1a).

Therefore, in the stage where the insulating resin layer (2a) is provided, when a conductive connecting layer (5) [indicated by the oblique lines in the figure] is formed by the adequate method to the electrical connecting region (1a) exposed in the

stage, the IC pair chip (3) is mounted in

insulating resin layer (2) at the external circumferential part and can be connected mechanically with the conductive material layer (1).

Such mold IC does not have any supporting substrate and the conductive material layer (1) is exposed to the surface opposed to the mounting surface of the IC pair chip (3). Therefore, it can be mounted very easily in direct to the other electronic circuit. Moreover, since the conductive material layer (1) and insulating resin layer (2) explained above are very thin layers, total thickness of the mold IC may be said to be determined depending on thickness of the IC chip (3). However, this mold IC is very thin as explained above but its mechanical strength is sufficiently assured by the insulating resin layer and mold resin layer (4).

The mold IC as explained above can be manufactured, for example, by the manufacturing process shown in Fig. 3(A) to Fig. 3(F).

First, as shown in Fig. 3(A), a plated resist layer (7) having the pattern obtained by inverting the pattern of the conductive material layer (1) formed finally is formed on the conductive base material (6).

Here, the conductive base material (6) is required to have

the same pattern as the conductive material

material can preferably be selected from stainless steel, nickel, titanium, nickel-based alloy, titanium-based alloy, nickel-cobalt alloy and other alloys. In this case, a SUS304 stainless steel plate in the thickness of $50\mu\text{m}$ has been used.

Moreover, the plated resist layer (7) is required to be formed of a material having insulation property, heat-proof characteristic, resistivity to electrolytic plating used in the subsequent process, that is, acid-proof characteristic or alkali-proof characteristic. In addition, when the plated resist layer (7) has a function as the mold releasing agent when the conductive base material (6) is separated together with such resist layer in the final manufacturing process. As a material of such plated resist layer (7), a resist material, for example, can be used and it is formed in the predetermined pattern with the screen printing method or photographic exposing technique. In this case, a resist material (brand name: SN 9556 RTV, produced by Toray Silicon Inc.) has been used and it is then coated in the thickness of $15\mu\text{m}$ by the silk screen printing method.

Next, as shown in Fig. 3(B), a metal is selectively precipitated in the exposed area unmasked by the plated resist layer (7) among the surface of the conductive base material (6) to form a conductive material layer (1) through the

Fig. 3(B). As a metal explained above, a material having higher separation property for the conductive base material (6) should preferably be used considering that it has a higher conductivity and is finally separated from the conductive base material (6). As the preferential metal, gold, tin, copper, chromium, nickel, iron, cobalt or alloys of these metals may be listed, but here copper has been precipitated under the following conditions. That is, the copper sulfate bath including copper sulfate of 250g and sulfuric acid of 75g in the electrolyte of 1 ℓ is used for the electrolytic plating under the condition that liquid temperature is 25°C, current density is 8A/dm² and plating time is 30 min.

Here, it is possible to execute the rust-proof process as required before or after the electrolytic plating. When a bump is formed as the conductive connecting layer (4) for connection with the IC pair chip (3) to be mounted in the subsequent process, a bump formed of gold, solder or conductive paste, etc. may be formed in this stage at the electrical connecting area (1a) of the conductive material layer (1). In this embodiment, a gold bump has been formed.

Next, as shown in Fig. 3(C), electrical connection should be made at the area other than the electrical connecting area (1a) between the conductive material layer (1) and IC pair chip

pair chip (3) to the predetermined positional relationship. The insulating resin layer (2) in this embodiment has an aperture (2a) opened depending on the wiring pattern of the electrode [refer to Fig. 2(3a)] of the IC pair chip (3) to establish the electrical connection therein between the conductive material layer (1) and IC pair chip (3). The material of this insulating resin layer (2) should have the excellent heat-proof characteristic and resistivity to solder in addition to electrical insulating property. In this embodiment, a resist ink (brand name: SR-29G produced by Tamura Chemicals Inc.) is used and it is then coated in the thickness of $15\mu\text{m}$ by the silk screen printing method.

As shown in Fig. 3(D), the IC pair chip (3) is previously loaded using an image processing device in such a manner that the electrode thereof [refer to Fig. 2(3a)] matches the electrical connecting area (1a) on which the gold bump is formed as the conductive connecting layer (5) and such IC pair chip is connected with a face bonder. Thereby, the IC pair chip (3) is electrically connected with the conductive material layer (1) through the aperture (2a) and is mechanically fixed.

In addition to the connecting method using a bump as explained above, connection using anisotropic conductive layer

Next, as shown in Fig. 3(E), a mounting area of the IC pair chip (3) is fixed by the mold resin layer (4). Here, a polyester-based resin (bland name: XA 5569 produced by Unitica Inc.) has been used as a mold resin to form the mold resin layer (4). That is, a paint obtained by mixing the hardening agent (bland name: Coronate EH produced by Japan Polyurethane Inc.) of 6 parts by weight and methylethylketon of 200 parts by weight per polyester-based resin of 100 parts by weight is coated in such a degree as almost covering the IC pair chip (3) and this paint has been hardened perfectly by the after curing.

Thereby, the laminated structure composed of the conductive material layer (1), insulating resin layer (4), IC pair chip (3) and conductive connecting layer (5) is integrally deposited to assure reliable electrical and mechanical connection between the conductive material layer (1) and IC pair chip (3).

Finally, as shown in Fig. 3(F), the conductive base material (6) and plated resist layer (7) are separated from the integrally deposited laminated structure by means of the mold resin layer (4) to obtain the mold IC as shown in Fig. 1 explained above. Here, when the plated resist layer (7) has a higher separation property for the conductive base material (6) and the plated resist layer (7) is left in the side of the

that is, the mold IC is obtained by the separation of the mold resin layer (4) and the plated resist layer (7) is left in the side of the

IC obtained as explained above does not have any supporting substrate and it is almost as thinner as the IC pair chip (3) in the entire part and is light in weight. However, its mechanical strength is sufficiently higher, owing to the insulating resin layer (2) and the mold resin layer (4).

Embodiment 2:

This embodiment shows an example of the mold IC where electrical connection between the IC pair chip and conductive material layer has been established by a wire bonding method.

Fig. 4 shows a schematic cross-sectional view of the mold IC of this embodiment. In this mold IC, an insulating resin layer (12) is laminated, to electrically insulated between the IC pair chip (13) explained later and the conductive material layer (11) and fix the IC pair chip (13) in the predetermined positional relationship, on the conductive material layer (11) formed in the predetermined pattern and the IC pair chip (13) is mounted on the insulating resin layer (12) to integrally deposit at least the mounting surface of the IC pair chip (13) with the mold resin layer (14). The insulating resin layer (12) is provided with an aperture (12a) and the conductive material layer (11) and IC pair chip (13) are electrically connected with a wire (15) through this aperture (12a).

This mold IC manufacturing method is almost same as

wirebonding has been made using a wire (15) such as a gold wire in place of the conductive connecting layer (5) explained above. Therefore detail process of this method will be omitted here.

[Effect of the Invention]

As will be apparent from above explanation, the mold IC of the present invention is very light and thin in its physical structure and can easily be mounted into an electronic circuit to be used in various kinds of small size electronic apparatuses. Moreover, in this manufacturing method of the present invention, machining and processing are performed on the supporting substrate to form each structural element of the mold IC explained above. Accordingly, very accurate and highly reliable mold IC can easily be manufactured with higher cost performance and productivity.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a schematic cross-sectional view showing a model example of a structure of the mold IC of the present invention.

Fig. 2 is a plan view showing the area near the IC pair chip mounting region of the mold IC explained above.

Figs. 3(A) to 3(F) are schematic cross-sectional views showing the sequence of an example of the mold IC manufacturing

Fig. 3(A) shows a process to form a plated resist layer on the conductive base material.

Fig. 3(B) shows a process to form a conductive material layer by the electrolytic plating method.

Fig. 3(C) shows a process to form an insulating resin layer .

Fig. 3(D) shows a process to mount an IC pair chip.

Fig. 3(E) shows a process to form a mold resin layer.

Fig. 3(F) shows a process to form the conductive base material and plated resist layer.

Fig. 4 is a schematic cross-sectional view showing a model of the structural example of the mold IC of the present invention.

- 1, 11.....Conductive material layer;
- 1a.....Electrical connecting region;
- 2, 12.....Insulating resin layer;
- 2a, 12a.....Aperture;
- 3, 13.....IC pair chip;
- 3a.....Electrode;
- 4, 14.....Mold resin layer;
- 5.....Conductive connecting layer;
- 15.....Wire;
- 6.....Conductive base material;